

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-53408

(43)公開日 平成6年(1994)2月25日

(51)Int.Cl.⁵

H01L 27/04

識別記号

庁内整理番号

FI

技術表示箇所

C 8427-4M

審査請求 未請求 請求項の数6(全5頁)

(21)出願番号 特願平3-227817

(22)出願日 平成3年(1991)9月9日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(72)発明者 奥上 伸隆

東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内

(74)代理人 弁理士 小川 勝男

最終頁に続く

(54)【発明の名称】 MOM容量素子

(57)【要約】

【構成】単結品A12の電極に極薄の非品質膜を拡散バリア層3として被覆し、その上に誘電体1と上側電極2'を形成する。

【効果】単結品金属を用いるため電極表面の平滑性が向上し、薄い誘電体を用いた容量素子の漏れ電流が小さくなり、誘電体の膜厚を薄くするので、単位面積当たりの容量を大きくすることができて、素子の微細化も可能となる。

【特許請求の範囲】

【請求項1】下側電極と誘電体と上側電極からなる容量素子において、前記下側電極は単結品のAl或いは単結品の貴金属からなる第一の金属層に、遷移金属、高融点金属、高融点金属硅化物、高融点金属窒化物のいずれか一種からなる第二の金属層を厚さ1～30nmの範囲で重ねた複数層の重ね膜からなり、誘電体は厚さが5～30nmの高融点金属酸化物からなることを特徴とするMOM容量素子。

【請求項2】請求項1において、前記第一の金属層はバイアススパッタ法で形成した多結品のAl又はAl合金であるMOM容量素子。

【請求項3】請求項1において、前記第一の金属層はレーザ加熱で溶融し、再結晶化させたAl又はAl合金であるMOM容量素子。

【請求項4】請求項1において、前記第一の金属層が高融点金属の単結晶であり、又、前記第二の金属層を用いないMOM容量素子。

【請求項5】請求項1、2、3または4において、前記誘電体は高融点金属酸化物上に絶縁膜を重ねた二層膜、或いは高融点金属酸化物上に複数の絶縁膜を重ねた多層膜であるMOM容量素子。

【請求項6】請求項1、2、3または5において、前記第二の金属層を選択成長法によって形成するMOM容量素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置に用いるMOM(Metal Oxide Metal)容量素子に関する。

【0002】

【従来の技術】半導体装置の容量素子に用いる強誘電体材料として、高融点金属の酸化物である Ta_2O_5 、 Nb_2O_5 、 HfO_2 等が知られている。誘電体に Ta_2O_5 を用いたMOM容量素子についての従来例を図2に示す。

【0003】図2(a)は下側電極7に多結晶Si、上側電極3にW、Mo、Ta等の耐熱性金属を用いた場合であり、 Ta_2O_5 膜中へSi原子が拡散することを防止するため、多結晶Siと Ta_2O_5 膜の間には SiO_2 や Si_3N_4 等からなる絶縁膜6を挟む。

【0004】従って、誘電体は Ta_2O_5 膜の両側を絶縁膜で挟んだサンドイッチ構造にして用いている。

【0005】図2(b)は下側電極7に半導体装置のゲート電極に使われている WSi_2 やW等の高融点金属を利用し、上側電極2に半導体装置の配線金属を利用した場合である。下側電極7がTaの場合は、Ta電極と Ta_2O_5 膜を連続して形成できる。

【0006】配線金属2がAl系の場合、Taイオンが配線金属中に拡散するのを防ぐため、又、Alで発生したヒロックが Ta_2O_5 膜を突き破ることを防ぐため、配線金属2の下にTiNやTiW等のバリアメタル3'を

設ける。バリアメタル3'の代わりに絶縁膜の Al_2O_3 膜を用いることも可能である。誘電体は絶縁膜で挟んでサンドイッチ構造にすることも可能であるが、 Ta_2O_5 膜の厚さを100nm程度に厚くすることで漏れ電流を低減し、単層として用いることも可能である。図2(c)は両側の電極にCu系やAu系の貴金属配線を用いた場合である。

【0007】層間絶縁膜と配線金属との密着性を改善するため、そして、CuやAuが Ta_2O_5 膜中に拡散するのを防ぐため、配線金属9は両側をTi、Mo等の高融点金属3で被覆する。CrやNi等の遷移金属で被覆することも可能である。

【0008】

【発明が解決しようとする課題】スパッタ法等で形成する Ta_2O_5 膜は、半導体装置の製造に伴う各種の熱処理によって結晶化し、多結晶薄膜となる。多結晶の Ta_2O_5 薄膜は粒界での漏れ電流が生じ、漏れ電流が大きい場合は容量素子として使用できなくなる。従って、漏れ電流を抑えるには膜厚を80～200nm程度に厚くする必要があった。

【0009】 Ta_2O_5 膜の成膜条件を低温化すれば非晶質膜が得られ、膜厚を5～20nm程度に薄くすれば熱処理工程中での結晶化が抑えられて非晶質状態を保つことができる。しかし、薄い Ta_2O_5 膜を用いる場合は、膜厚が薄くなったことに伴う漏れ電流の増大を抑えるため、厚さが10～20nm程度の SiO_2 や Si_3N_4 膜を重ねる必要があった。又、薄い Ta_2O_5 膜の漏れ電流は電極表面の平滑性が大きく影響し、電極表面のミクロな凹凸によって漏れ電流が増大するが、一般に電極材料に使用する金属の多結晶薄膜では膜表面の平滑性の改善には限度があった。

【0010】従って、薄い Ta_2O_5 膜を用いる場合は、両側の電極界面に絶縁膜を設けてサンドイッチ構造とする必要があり、製造工程数が増加した。

【0011】

【課題を解決するための手段】本発明は、上述の問題点に鑑み、電極表面のミクロな凹凸をなくすため単結品の金属薄膜を容量素子の電極に用いる。単結晶金属薄膜の形成方法には、GTC-CVD(Gas Temperature Controlled Chemical Vapor Deposition)法や超高真空バイアススパッタ法等を用いるが、一般に、AlやAu等の単結晶を形成し易い金属は Ta_2O_5 と相互拡散をする問題がある。そこで、電極が高融点金属の単結晶である場合には電極上に Ta_2O_5 膜を直接被着するが、電極がAlやAu系の場合には電極表面に拡散バリア層を設ける。

【0012】拡散バリア層が厚ければ電極表面の平滑性を損ない、薄ければバリア効果が小さくなるので、拡散バリア層にはバリア効果の高い非晶質膜を用い、膜厚は1～30nm程度に薄くする。

【0013】電極に多結晶の金属膜を用いる場合は、ス

3

パッタ蒸着の際に試料側に高周波電圧を印加するバイアスパッタ法で平滑性を向上させた膜や、被着後の膜表面をレーザ加熱によって溶融して平滑性を向上させた膜を用いるものである。

【0014】

【作用】本発明では容量素子の電極に表面が平滑な金属を用いることで、誘電体に薄い Ta_2O_5 膜を用いた場合の漏れ電流を二桁以上低減することができる。

【0015】漏れ電流を低減することで、厚さが5~20nmの単層の Ta_2O_5 膜でも誘電体として使用可能となり、単位面積での容量を大きくすることができる。

【0016】

【実施例】〈実施例1〉本発明の実施例を図1に示す。MOM容量素子の誘電体1には Ta_2O_5 を用いるが Nb_2O_5 、或いは、 HfO_2 を用いることも可能である。

【0017】下側電極2には単結晶のAlを用いる。AlとTaの相互拡散を抑えるため、Al電極2の上に非晶質のMo薄膜3を被覆する。Mo膜3の厚さが薄い場合は拡散バリアとしての効果が小さいが、厚すぎる場合は電極2の平滑性を損なう。Mo膜3の厚さは層間絶縁膜4の形成温度にも依存し、温度が高い程、容易に結晶化してミクワな凹凸を形成する。上側電極2'には単結晶のAl膜、或いは多結晶のAl薄膜を用いる。又、多結晶のAl-Si合金やAl-Si-Cu合金を用いることも可能である。

【0018】 Ta_2O_5 膜1と上側電極2'との相互拡散を抑えるため、TiN膜8をバリアメタルとして設ける。本発明の製造工程を図3に示す。

【0019】(a) 半導体装置に単結晶のAl薄膜2をGTC-CVD法で形成し、Mo膜3をスパッタ蒸着法で10nm被覆する。パターンを形成後、RIE(Reactive Ion Etching)で加工して容量素子の下側電極を形成する。

【0020】(b) 層間絶縁膜(SiO_2 、硅化ガラス等)4を被着後、パターンを形成し、加工する。

【0021】(c) Ta_2O_5 膜1をスパッタ蒸着で18nm被着する。ターゲットはTaを用い、Arと O_2 の混合ガス(Ar: O_2 =5:3)で反応性スパッタを行う。

(d) Ta_2O_5 膜1をCDE(Cheical Dry Etchig)で加工後、スパッタ蒸着法でTiN膜8を100nm、Al-Cu合金膜2'を900nm被着し、RIEで加工して上側電極を形成する。TiN膜はTiターゲットをArと N_2 の混合ガス(Ar: N_2 =2:1)で反応性スパッタを行わせて形成する。Al-Cu合金膜2'をスパッタ蒸着する際は、半導体装置の接続孔の段差被覆性を改善するために試料側にDC(直流)、或いはRF(交流)の電圧を印加することも可能である。

【0022】本実施例では非晶質薄膜3にMoを用いたが、Ti、W等の他の高融点金属、 WSi_2 、WN等の

4

高融点金属硅化物または高融点金属窒化物を用いることも可能である。又、NiやCr等の遷移金属を用いることもできる。バリアメタル8にはTiNを用いたが、TiWやTiSi₂等を用いることも可能である。

【0023】〈実施例2〉誘電体の漏れ電流を更に低減するため、 Ta_2O_5 膜1の上に SiO_2 や Si_3N_4 等の絶縁膜6を設けることもでき、この場合の実施例を図4に示す。

【0024】16nmの Ta_2O_5 膜1と4nmの SiO_2 膜6を重ねて二層膜とした場合、 SiO_2 の比誘電率は Ta_2O_5 の1/6なので、膜厚20nmの Ta_2O_5 単層膜と比較して単位面積当りの容量は半分になる。しかし、漏れ電流は一桁以上低減し、歩留まりは大きく向上する。 SiO_2 膜6はAlとTaの拡散防止膜としても作用するので、図1で設けたバリアメタル8は本実施例では不要となる。

【0025】本実施例の発明を従来のサンドイッチ構造の場合と比較すると、下側の絶縁膜が不要となるので製造工程を一工程減らすことができる。絶縁膜6は複数の絶縁層によって構成することも可能であり、例えば、 SiO_2 膜と Si_3N_4 膜を重ねて誘電体を二層膜(SiO_2 / Si_3N_4 / Ta_2O_5)としてもよい。

【0026】〈実施例3〉実施例1では下側電極に単結晶のAlを用いたが、WやMo等の高融点金属、或いは、AuやCu等の貴金属の単結晶を用いることも可能である。電極に高融点金属を用いる場合は、非晶質膜3やバリアメタル8は不要であり、この場合の実施例を図5に示す。上側電極は下側電極と異なる材料を用いることも可能であり、図5では上側電極2'にAl系の配線金属を用いた場合について示す。

【0027】〈実施例4〉実施例1では下側電極に単結晶のAl薄膜を用いたが、多結晶のAl系薄膜を用いることも可能である。本実施例の場合は多結晶薄膜のミクワな凹凸を無くするため、試料側に高周波電圧を印加するバイアスパッタ法で形成する。配線金属の被着に用いる通常のバイアスパッタ法では接続孔のステップカバレッジ(段差被覆性)を日安にしてバイアス条件を設定していたが、本発明の場合は表面の平滑性を日安にしてバイアス条件を設定する。

【0028】多結晶薄膜の凹凸をなくす他の方法として、蒸着した多結晶膜の表面をレーザ加熱によって溶融する方法もあり、本手法を用いて容量素子の下側電極を形成することも可能である。

【0029】〈実施例5〉図1では非晶質膜3は下側電極2に重ねて被着していたが、非晶質膜3は層間絶縁膜4の形成後に被着することも可能であり、この場合の実施例を図6に示す。単結晶Alで下側電極を形成後、層間絶縁膜4を被着して加工し、スパッタ蒸着法によって薄いMo膜3、 Ta_2O_5 膜1を被着する。 Si_3N_4 膜6をプラズマCVD法で被着した後、非晶質膜3、Ta

5

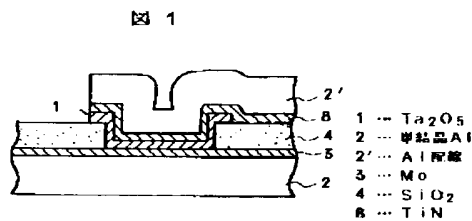
Ta_2O_5 膜1、 Si_3N_4 膜6をまとめて加工し、上側電極2'として単結晶のAl膜を被着する。電極2'を加工して本実施例の容量素子は完成する。電極2、2'は高融点金属の単結晶を用いることも可能である。

【0030】又、非晶質膜3は選択成長法で形成することも可能であり、この場合の実施例を図7に示す。容量形成領域の層間絶縁膜4を除去した後、W(タングステン)の選択CVD法で薄いW膜3を形成し、この上に Ta_2O_5 膜1をCVD法で形成する。 Si_3N_4 膜6を被着した後、誘電体3、1、6を加工し、上側電極2'を形成して本発明の容量素子は完成する。

【0031】

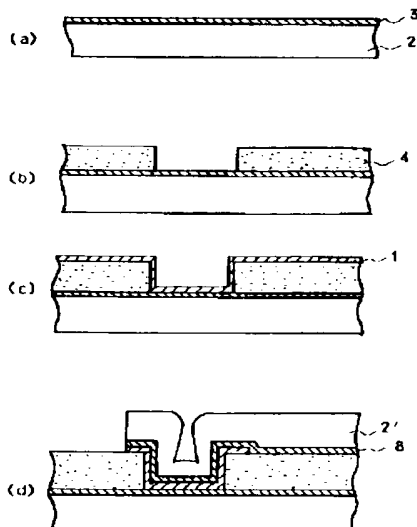
【発明の効果】本発明によれば、誘電体に薄い Ta_2O_5 膜を用いた場合でも漏れ電流を小さくすることができる。しかも、薄い Ta_2O_5 膜を単層で用いることができるので、単位面積当たりの容量を大きくでき、必要な容量を得るための電極面積を小さくすることが可能となる。単結晶金属は内部応力が小さく、ヒロックを発生しにくい。 Ta_2O_5 膜の上に絶縁膜を設けて二層膜とする

【図1】



【図3】

図 3



6

場合、従来のサンドイッチ構造と比較して一層少ないので、製造工程を工程減らすことが可能になる。

【図面の簡単な説明】

【図1】本発明の容量素子の一実施例の断面図。

【図2】誘電体に Ta_2O_5 膜を用いた従来構造の断面図。

【図3】図1の容量素子の製造工程を示した説明図。

【図4】 Ta_2O_5 膜の上に SiO_2 膜を重ねた場合の断面図。

【図5】電極に単結晶の高融点金属を用いた場合の断面図。

【図6】図1と異なる製造工程を用いた場合の断面図。

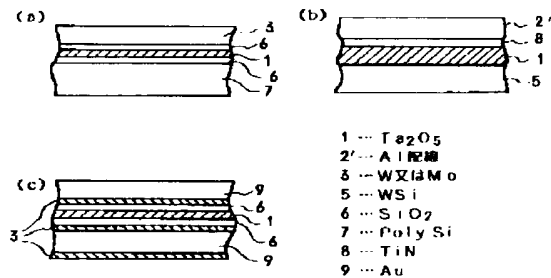
【図7】非晶質膜を選択成長法で形成した場合の断面図。

【符号の説明】

1…高融点金属酸化物(Ta_2O_5)、2…単結晶Al、2'…Al又はAl合金、3…高融点金属、4…層間絶縁膜、8…バリアメタル。

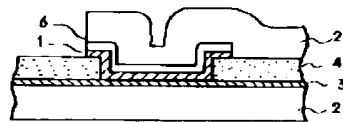
【図2】

図 2



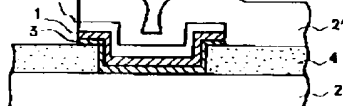
【図4】

図 4



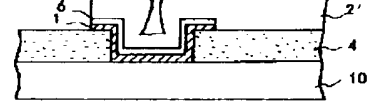
【図6】

図 6



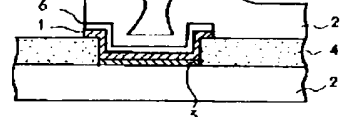
【図5】

図 5



【図7】

図 7



フロントページの続き

(72)発明者 松原 宏和
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内